



MYC-J1028X

产品手册

文件状态： [] 草稿 [√] 正式发布	文件标识：	MYIR-MYC-J1028X-HW-PM-ZH
	当前版本：	V1.0
	作 者：	Jacob
	创建日期：	2022-4-27
	最近更新：	2022-4-27

Copyright © 2020 - 2030 版权所有 深圳市米尔电子有限公司

版本历史

版本	作者	参与者	日期	备注
V1.0	Jacob		20220427	初版

目 录

版本历史.....	- 2 -
目 录.....	- 3 -
1. 概述.....	- 5 -
2. 产品介绍.....	- 8 -
2.1. 芯片说明.....	- 9 -
2.2. MYC-J1028X 主要参数.....	- 10 -
2.3. 系统框图.....	- 10 -
2.4. 标准型号.....	- 11 -
3. 引脚描述.....	- 12 -
3.1. 引脚示意图.....	- 12 -
3.2. 核心板引脚对照表.....	- 13 -
4. 电气特性.....	- 24 -
4.1. 主要电源 (VDD_5V).....	- 24 -
4.2. USB VBUS 电源供电.....	- 24 -
4.3. 电源域.....	- 24 -
4.4. 电源功耗.....	- 25 -
4.5. GPIO 直流特性.....	- 25 -
5. 系统配置和启动.....	- 26 -
5.1. BOOT 模式设置.....	- 26 -
5.2. 复位和开关.....	- 26 -
6. 接口说明.....	- 27 -
6.1. SDHC 接口.....	- 27 -
6.1.1. 引脚定义.....	- 27 -
6.2. UART 接口.....	- 28 -
6.2.1. 引脚定义.....	- 28 -
6.3. USB 接口.....	- 28 -
6.3.1. 引脚定义.....	- 28 -
6.4. Ethernet 接口.....	- 29 -
6.4.1. 引脚定义.....	- 29 -
6.5. CAN 接口.....	- 30 -
6.5.1. 引脚定义.....	- 30 -

6.6. I2C 接口.....	- 30 -
6.6.1. 引脚定义	- 30 -
6.7. SPI 接口.....	- 31 -
6.7.1. 引脚定义	- 31 -
6.8. SerDes 接口.....	- 31 -
6.8.1. 引脚定义	- 31 -
6.9. Display Port 接口.....	- 32 -
6.9.1. 引脚定义	- 32 -
6.10. AUDIO 接口.....	- 32 -
6.10.1. 引脚定义.....	- 33 -
6.11. JTAG 接口	- 33 -
6.11.1. 引脚定义.....	- 33 -
7. 封装信息.....	- 34 -
7.1. 机械尺寸.....	- 34 -
7.2. 底板 PCB 封装.....	- 35 -
附录一 联系我们.....	- 36 -
附录二 售后服务与技术支持	- 37 -
产品返修.....	- 37 -
维修周期.....	- 37 -
维修费用.....	- 37 -
运输费用.....	- 37 -

1. 概述

NXP Layerscape 处理器产品组合，属于 EdgeVerse™ 边缘计算平台，兼具深度和广度。Layerscape 系列处理器基于 ARM 内核技术，涵盖广泛的性能范围，适用于从小规格，功率受限的网络和工业应用，到需要高级数据通路和网络外设接口的新型虚拟化网络和嵌入式系统等应用。

作为 Layerscape 处理器产品一员，LS1028A 处理器包括支持 TSN 的以太网交换机和以太网控制器，可支持融合的 IT 和 OT 网络。两个功能强大的 64 位 Arm®v8 内核支持工业控制的实时处理，以及物联网中边缘计算的虚拟机。集成的 GPU 和 LCD 控制器使人机接口(HMI)系统支持新一代接口。集成可信架构带有加密分流功能，可提供能够加密通信的可信平台，适用于安全的应用和服务。

MYC-J1028X 核心板基于 LS1028A 处理器研制，完美继承了该处理器优点，且拥有良好的软件开发环境，有助于开发者轻松实现各类开发应用。MYC-J1028X 同时具有丰富的接口资源。关于上述资料，您可以随时前往以下地址进行下载：

<http://down.myr-tech.com/MYD-J1028X>

在开发阶段，建议配合核心板配套的评估套件 MYD-J1028X 来加速开发。评估套件的详细信息请访问：

<http://www.myr-tech.com/product>

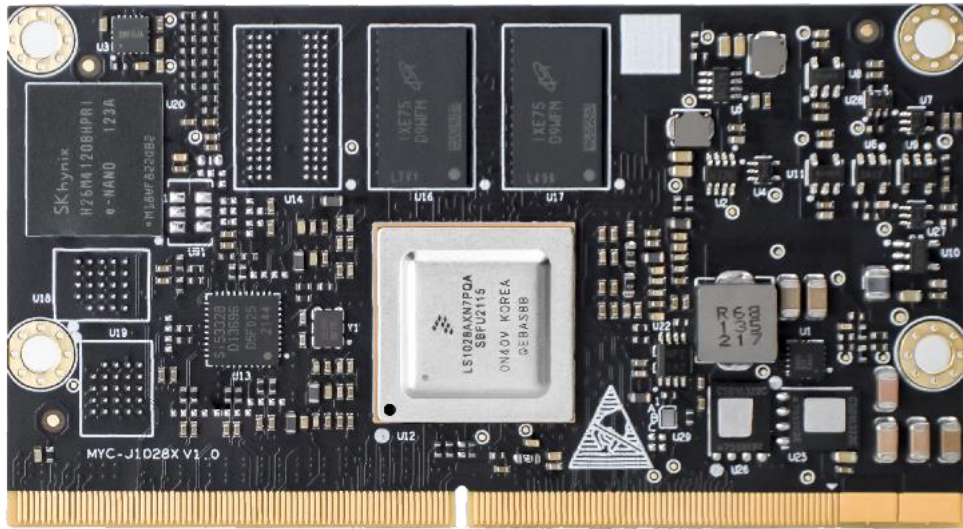


图 1-1 MYC-J1028X 核心板正面

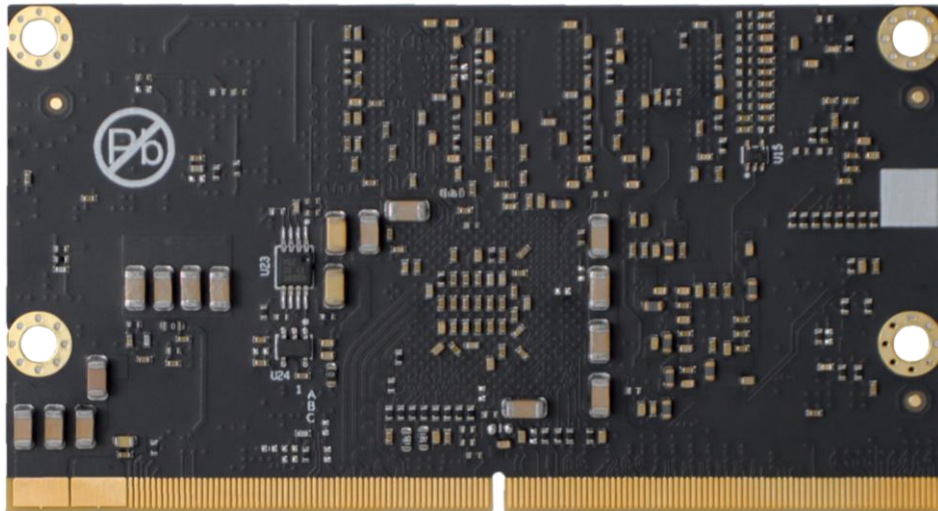


图 1-2 MYC-J1028X 核心板背面

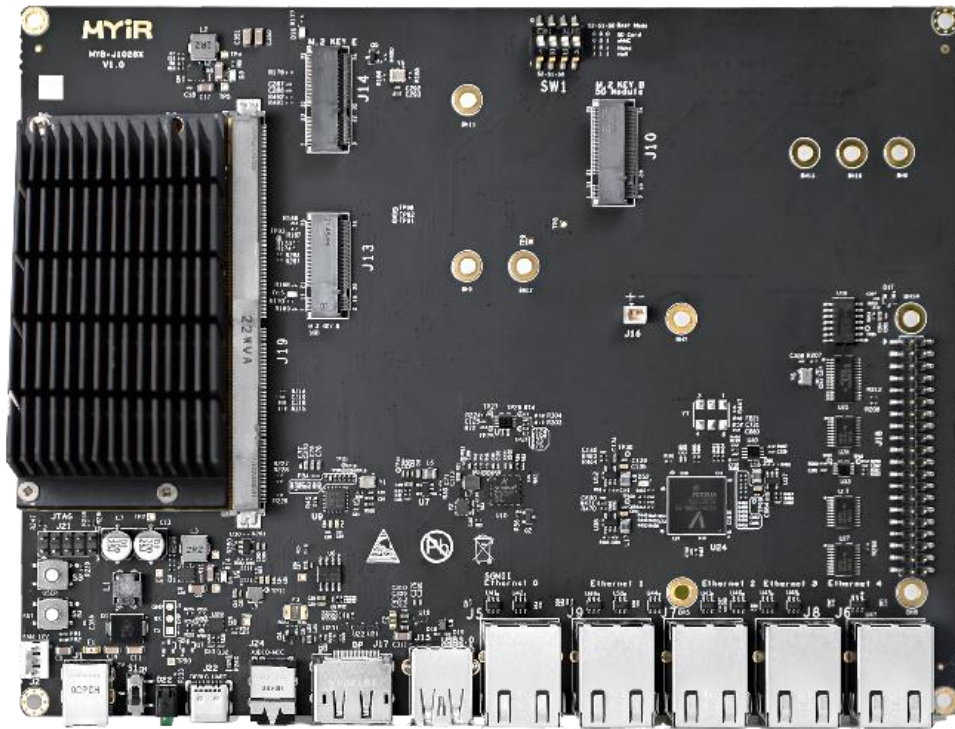


图 1-3 MYD-J1028X 评估套件正面

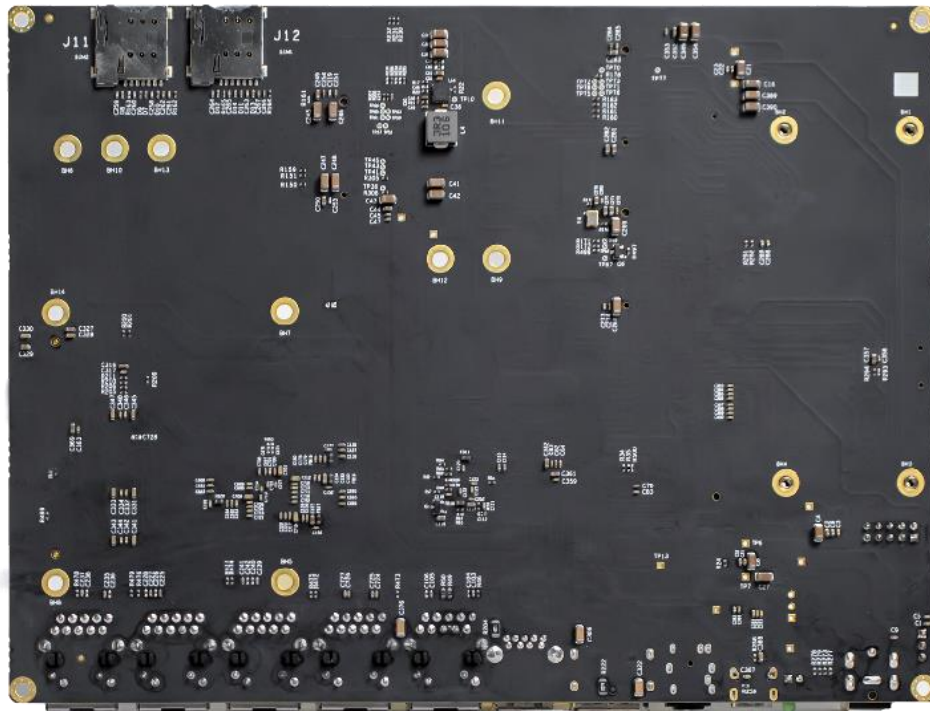


图 1-4 MYD-J1028X 评估套件背面

2. 产品介绍

LS1028A 处理器集成了双核 ARM Cortex-A72, 主频高达 1.5Ghz。MYC-J1028X 核心板采用 LS1028A,DDR4,eMMC 等设计了最小系统。核心板外设接口丰富, 拥有 USB3.0、SerDes、PCIE、TSN Switch、TSN GbE、Display Port、CAN、SPI、UART 等外设接口, 便于客户评估 LS1028A 功能及灵活定制开发。

关于 MYC-J1028X 核心板产品型号, 标配型号请参见 2.4 章节的说明。此外客户可根据需求可以定制型号, 关于定制要求可以联系我司销售。

2.1. 芯片说明

LS1028A 芯片主要特征如下：

- 面向工业应用的 Armv8 双处理器
- 4 端口时间敏感网络交换机
- 2 个具有时间敏感网络功能的以太网控制器
- GPU 和 LCD 控制器
- 可配置的加密分流引擎
- 集成的可信架构
- PCI Express
- CAN 总线

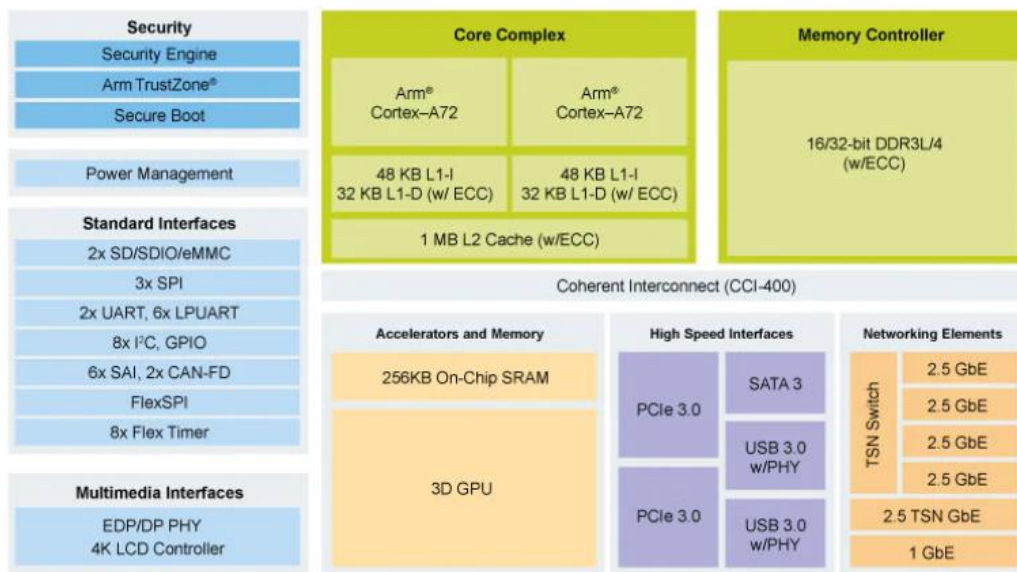


图 2- 1 LS1028A 芯片框图

详细资料请参考芯片手册或者 NXP 官方网页链接：

<https://www.nxp.com/products/processors-and-microcontrollers/arm-processors/layercape-processors/layercape-1028a-applications-processor:LS1028A>

2.2. MYC-J1028X 主要参数

名称	主要参数
主控芯片系列	LS1028A 系列
主控芯片型号	LS1028AXN7PQA
处理器规格	Dual ARM Cortex-A72, Up to 1.5Ghz
内存	DDR4 2GB
存储器	EMMC(8GB) +
核心板尺寸	82x45x1.2mm
接口类型	MXM3.0 314 Pin 金手指
PCB 板规格	12 层板设计, 沉金工艺
操作系统	Linux 5.4

表 2-1 主要参数

2.3. 系统框图

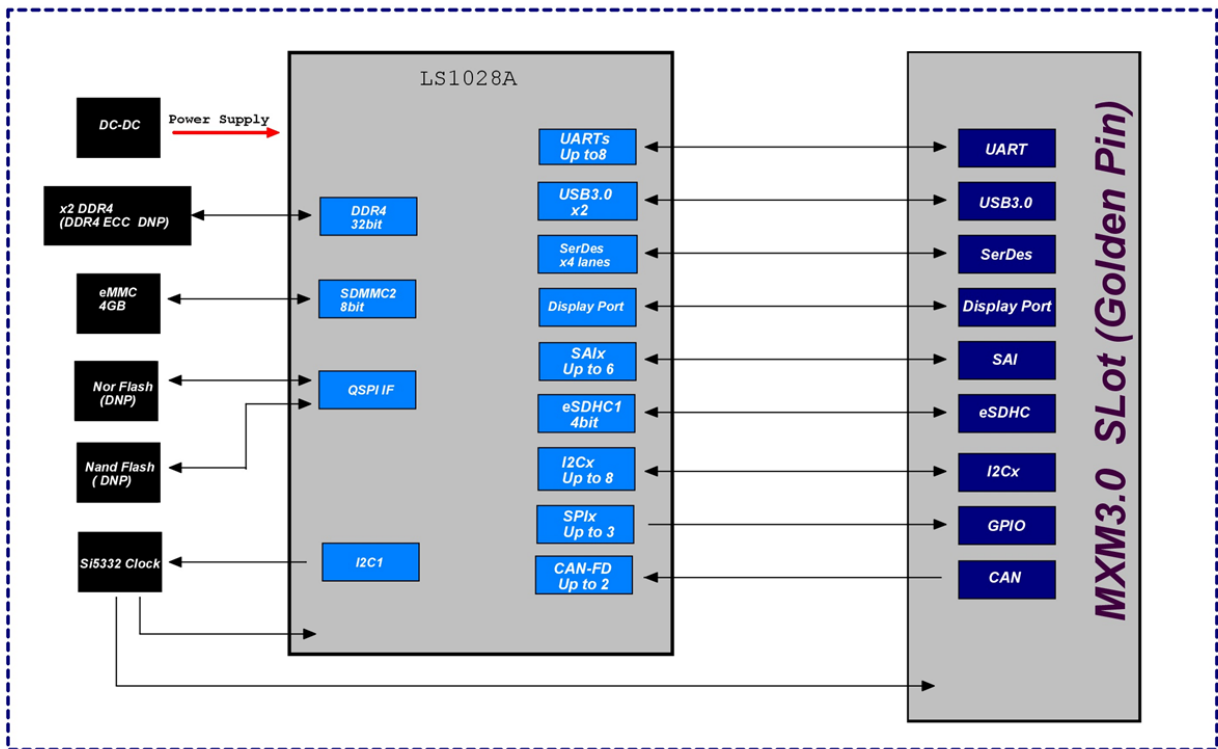


图 2-2 MYC-J1028X 核心板系统框图

2.4. 标准型号

根据 CPU 型号、存储器件、工作温度等参数的不同，MYC-J1028X 核心板提供 1 种型号，配置如下表格。

规格 型号	MYC-J1028N-8E2D-150-I
主芯片	LS1028AXN7PQA
主芯片系列	LS1028A
内核架构	Dual Cortex-A72
主频	1.5Ghz
操作系统	Linux 5.4
内存	2GB DDR4
存储器	4GB eMMC Flash 256MB Nor Flash (默认空贴)
显示分辨率	4K
LCD 接口	Display Port
UART	x8 (maximum)
CAN	x2 (maximum)
USB	x2 USB3.0
以太网	4 port TSN Switch + 1 TSN GbE + 1 GbE
I2C	x8 (maximum)
SPI	x3 (maximum)
SAI	x6 (maximum)
供电电压	+5V
机械尺寸	82x45x1.2 mm
工作温度	-40°C - +85
封装引脚数	MXM3.0 314 pin
相关认证	CE ROHS

表 2-2 MYC-J1028X 核心板选型表

3. 引脚描述

3.1. 引脚示意图

MYC-J1028X 核心板采用金手指形式与配套底板相连，对应的连接器 MXM3.0，参考具体型号 AS0B821-S78B-7H，品牌 Foxconn。

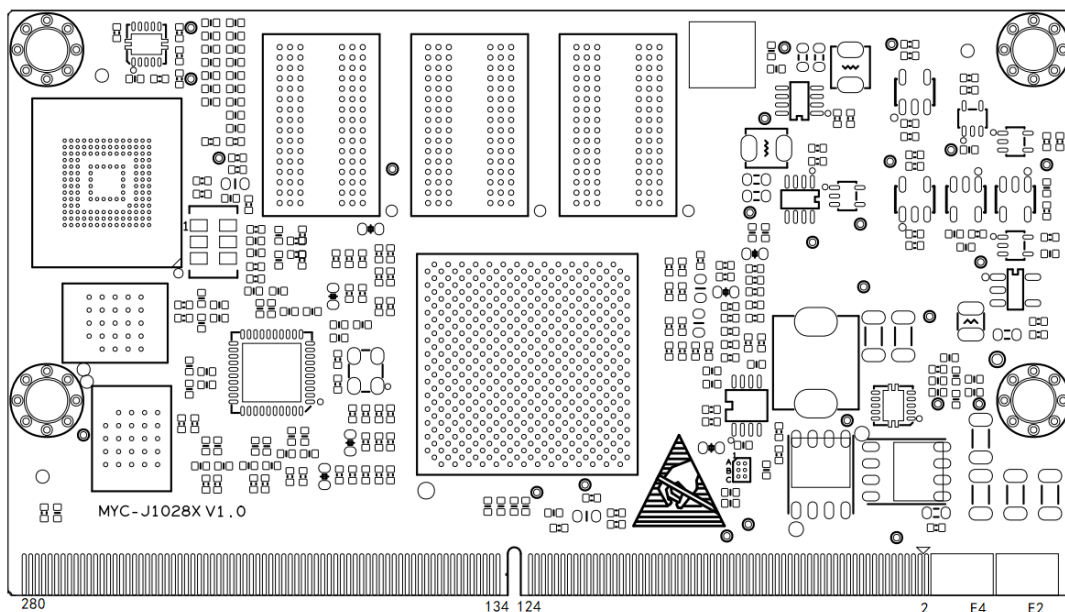


图 3-1 模块正面图

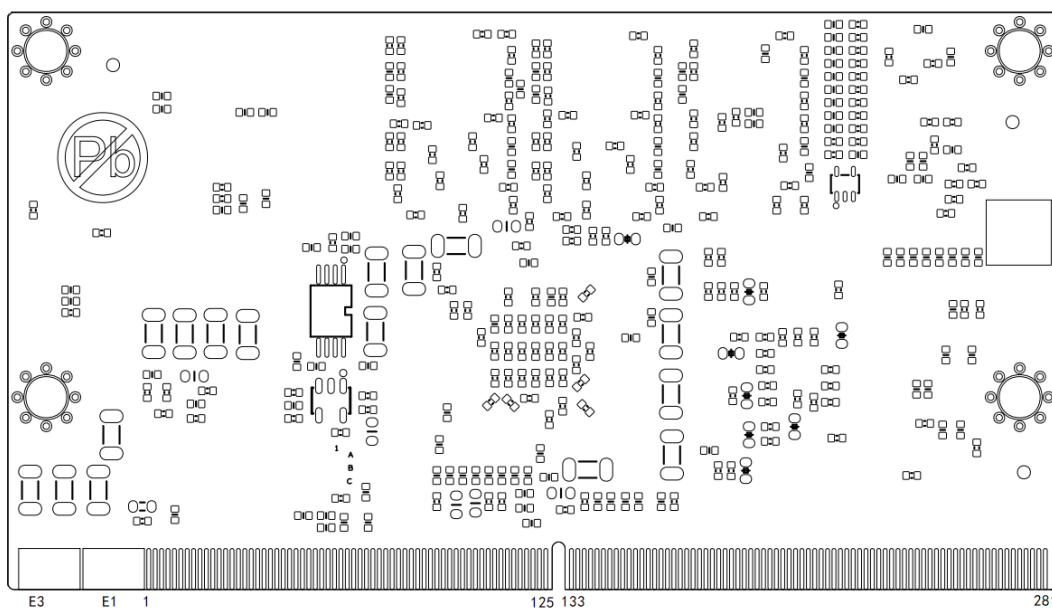


图 3-2 模块反面图

3.2. 核心板引脚对照表

MYC-J1028X 核心板接口引脚定义如下表所示，BSP 开发包的引脚功能均按下表的“默认功能”作了配置，如需改动管脚默认功能，请修改相关驱动配置代码，否则会出现驱动冲突等不确定异常情况。

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
E1	5V_IN	Power	5V Power Supply Input	5V	I	—	
E2	5V_IN	Power	5V Power Supply Input	5V	I	—	
E3	GND	GND	Power,Signal GND	0V	IO	—	
E4	GND	GND	Power,Signal GND	0V	IO	—	
1	5V_IN_PG	Power Good	DC-DC 5V Output Power Good	5V	O	—	
2	—	—	—	—	—	—	
3	PS_1V2_PG	Power Good	DC-DC 1.2V Output Power Good	1.2V	O		
4	—	—	—	—	—	—	
5	PORESET_B	RESET	LS1028A Power on Reset	1.8V	O		
6	—	—	—	—	—	—	
7	RST_KEY	RESET	Reset input	3.3V	I		
8	—	—	—	—	—	—	
9	HRESET_B	RESET	Hardware Reset	1.8V	O	—	
10	—	—	—	—	—	—	
11	—	—	—	—	—	—	
12	—	—	—	—	—	—	
13	—	—	—	—	—	—	
14	—	—	—	—	—	—	
15	—	—	—	—	—	—	
16	—	—	—	—	—	—	
17	—	—	—	—	—	—	
18	—	—	—	—	—	—	
19	UART1_RXD	UART1	Receive Data	1.8V	I	AE7	

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
20	—	—	—	—	—	—	
21	—	—	—	—	—	—	
22	—	—	—	—	—	—	
23	UART2_RXD	UART2	Receive Data	1.8V	I	AD6	
24	—	—	—	—	—	—	
25	—	—	—	—	—	—	
26	—	—	—	—	—	—	
27	—	—	—	—	—	—	
28	—	—	—	—	—	—	
29	—	—	—	—	—	—	
30	—	—	—	—	—	—	
31	—	—	—	—	—	—	
32	—	—	—	—	—	—	
33	—	—	—	—	—	—	
34	—	—	—	—	—	—	
35	—	—	—	—	—	—	
36	—	—	—	—	—	—	
37	—	—	—	—	—	—	
38	GND	GND	Power,Signal GND	0V	IO	—	
39	—	—	—	—	—	—	
40	EC1_GTX_CLK	SAI4	SAI4_TX_SYNC	1.8V	O	AH4	
41	—	—	—	—	—	—	
42	GND	GND	Power,Signal GND	0V	IO	—	
43	—	—	—	—	—	—	
44	EC1_TXD3	SAI4	Unused	1.8V	—	AG5	
45	—	—	—	—	—	—	
46	EC1_TXD1	GPIO	GPIO3_10	1.8V	IO	AF4	
47	—	—	—	—	—	—	

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
48	EC1_TXD0	GPIO	GPIO3_9	1.8V	IO	AF6	
49	—	—	—	—	—	—	
50	EC1_TXD2	SAI4	SAI4_TX_DATA	1.8V	O	AD4	
51	—	—	—	—	—	—	
52	EC1_TX_EN	GPIO	GPIO3_8	1.8V	IO	AJ3	
53	—	—	—	—	—	—	
54	GND	GND	Power,Signal GND	0V	IO	—	
55	—	—	—	—	—	—	
56	EC1_GTX_125M	GPIO	GPIO3_6	1.8V	IO	AK2	
57	—	—	—	—	—	—	
58	GND	GND	Power,Signal GND	0V	IO	—	
59	—	—	—	—	—	—	
60	—	—	—	—	—	—	
61	—	—	—	—	—	—	
62	CFG_RCW_SRC2	RCW	Reset Configuration Word	1.8V	I	AA1	
63	EMI1_MDC	MDIO	Clock	1.8V	O	AK6	
64	CFG_RCW_SRC3	RCW	Reset Configuration Word	1.8V	I	AB4	
65	EMI1_MDIO	MDIO	Data	1.8V	IO	AK4	
66	CFG_RCW_SRC0	RCW	Reset Configuration Word	1.8V	I	AC5	UART2_TXD
67	—	—	—	—	—	—	
68	CFG_RCW_SRC1	RCW	Reset Configuration Word	1.8V	I	AB6	UART1_TXD
69	—	—	—	—	—	—	
70	GND	GND	Power,Signal GND	0V	IO	—	
71	—	—	—	—	—	—	
72	PEXM2_2_PER_N	PCIE	Receive Data (negative)	—	I	AJ17	SerDes RX Lane3
73	GND	GND	Power,Signal GND	0V	—	—	
74	PEXM2_2_PER_P	PCIE	Receive Data (positive)	—	I	AK16	SerDes RX Lane3

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
75	PEXM2_2_PET_P	PCIE	Transmit Data (positive)	—	O	AF18	SerDes TX Lane3
76	GND	GND	Power,Signal GND	0V	IO	—	
77	PEXM2_2_PET_N	PCIE	Transmit Data (negative)	—	O	AG19	SerDes TX Lane3
78	PEXM2_1_PER_N	PCIE	Receive Data (negative)	—	I	AJ15	SerDes RX Lane2
79	GND	GND	Power,Signal GND	0V	IO	—	
80	PEXM2_1_PER_P	PCIE	Receive Data (positive)	—	I	AK16	SerDes RX Lane2
81	PEXM2_1_PET_P	PCIE	Transmit Data (positive)	—	O	AF16	SerDes TX Lane2
82	GND	GND	Power,Signal GND	0V	IO	—	
83	PEXM2_1_PET_N	PCIE	Transmit Data (negative)	—	O	AG17	SerDes TX Lane2
84	QSGMII_RX_N	QSGMII	Receive Data (negative)	—	I	AJ13	SerDes RX Lane1
85	GND	GND	Power,Signal GND	0V	IO	—	
86	QSGMII_RX_P	QSGMII	Receive Data (positive)	—	I	AK12	SerDes RX Lane1
87	QSGMII_TX_P	QSGMII	Transmit Data (positive)	—	O	AF14	SerDes TX Lane1
88	GND	GND	Power,Signal GND	0V	IO	—	
89	QSGMII_TX_N	QSGMII	Transmit Data (negative)	—	O	AG15	SerDes TX Lane1
90	SGMII_RX_N	SGMII	Receive Data (negative)	—	I	AJ11	SerDes RX Lane0
91	GND	GND	Power,Signal GND	0V	IO	—	
92	SGMII_RX_P	SGMII	Receive Data (positive)	—	I	AK10	SerDes RX Lane0
93	SGMII_TX_P	SGMII	Transmit Data (positive)	—	O	AF12	SerDes TX Lane0
94	GND	GND	Power,Signal GND	0V	IO	—	
95	SGMII_TX_N	SGMII	Transmit Data (negative)	—	O	AG13	SerDes TX Lane0

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
96	EC1_RXD1	GPIO	GPIO3_3	1.8V	IO	AF2	
97	GND	GND	Power,Signal GND	0V	IO	—	
98	EC1_RX_DV	GPIO	GPIO3_0	1.8V	IO	AH2	
99	—	—	—	—	—	—	
100	EC1_RXD2	SAI4	SAI4_TX_BCLK	1.8V	O	AE3	
101	—	—	—	—	—	—	
102	EC1_RXD0	GPIO	GPIO3_2	1.8V	IO	AG1	
103	—	—	—	—	—	—	
104	EC1_RX_CLK	—	GPIO3_1	1.8V	IO	AD2	
105	—	—	—	—	—	—	
106	EC1_RXD3	SAI4	Unused	1.8V	—	AE1	
107	—	—	—	—	—	—	
108	GND	GND	Power GND	0V	IO	—	
109	—	—	—	—	—	—	
110	—	—	—	—	—	—	
111	—	—	—	—	—	—	
112	—	—	—	—	—	—	
113	—	—	—	—	—	—	
114	—	—	—	—	—	—	
115	—	—	—	—	—	—	
116	—	—	—	—	—	—	
117	—	—	—	—	—	—	
118	—	—	—	—	—	—	
119	—	—	—	—	—	—	
120	—	—	—	—	—	—	
121	TRST_B	JTAG	Test Reset	1.8V	I	Y2	
122	—	—	—	—	—	—	
123	—	—	—	—	—	—	

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
124	—	—	—	—	—	—	
125	—	—	—	—	—	—	
126	—	—	—	—	—	—	
127	—	—	—	—	—	—	
128	—	—	—	—	—	—	
129	—	—	—	—	—	—	
130	—	—	—	—	—	—	
131	—	—	—	—	—	—	
132	—	—	—	—	—	—	
133	—	—	—	—	—	—	
134	TDO	JTAG	Test Data Out	1.8V	O	W1	
135	—	—	—	—	—	—	
136	TMS	JTAG	Test Mode Select	1.8V	I	V6	
137	TDI	JTAG	Test Data In	1.8V	I	V4	
138	TCK	JTAG	Test Clock	1.8V	I	W7	
139	TBSCAN_B	JTAG	JTAG Compliance Enable Pin	1.8V	I	W5	
140	GPIO1_DAT24	GPIO	GPIO1_24	1.8V	IO	R1	
141	—	—	—	—	—	—	
142	DP_HPD	Display Port	Hot Plug Detect	1.8V	I	F8	
143	SD_CD_B	GPIO	Micro SD Detect	1.8V	I	U1	
144	—	—	—	—	—	—	
145	—	—	—	—	—	—	
146	CAN1_TX	CAN1	Transmit Data	1.8V	O	V2	
147	EVDD	Power	eSDHC supply - switchable	1.8V/3.3V	O	—	
148	CAN1_RX	CAN1	Receive Data	1.8V	I	U3	
149	—	—	—	—	—	—	
150	CAN2_TX	CAN2	Transmit Data	1.8V	I	U7	

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
151	GND	GND	Power,Signal GND	0V	IO	—	
152	CAN2_RX	CAN2	Receive Data	1.8V	I	T6	
153	USB1_RX_N	USB1	USB PHY 3.0 Receive Data-	—	I	K2	
154	—	—	—	—	—	—	
155	USB1_RX_P	USB1	USB PHY 3.0 Receive Data+	—	I	L1	
156	SD_DAT0	SDHC1	Data	1.8V	IO	N3	
157	GND	GND	Power,Signal GND	0V	IO	—	
158	SD_DAT3	SDHC1	Data	1.8V	—	L5	
159	USB1_TX_N	USB1	USB PHY 3.0 Transmit Data -	—	O	G1	
160	SD_CMD	SDHC1	Command/Response	1.8V	IO	N7	
161	USB1_TX_P	USB1	USB PHY 3.0 Transmit Data +	—	O	H2	
162	SD_DAT2	SDHC1	Data 2	1.8V	IO	N1	
163	GND	GND	Power,Signal GND	0V	IO	—	
164	SD_DAT1	SDHC1	Data 0	1.8V	IO	P4	
165	—	—	—	—	—	—	
166	GND	GND	Power,Signal GND	0V	IO	—	
167	USB1_DP	USB	USB PHY Data+	—	IO	E1	
168	SD_CLK	SDHC1	Clock	1.8V	O	M6	
169	USB1_DN	USB1	USB PHY Data-	—	IO	D2	
170	GND	GND	Power,Signal GND	0V	IO	—	
171	GND	GND	Power,Signal GND	0V	IO	—	
172	—	—	—	—	—	—	
173	USB2_RX_N	USB2	USB PHY 3.0 Receive Data -	—	I	A3	
174	—	—	—	—	—	—	
175	USB2_RX_P	USB2	USB PHY 3.0 Receive Data +	—	I	B2	
176	—	—	—	—	—	—	
177	—	—	—	—	—	—	
178	—	—	—	—	—	—	

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
179	USB2_TX_N	USB2	USB PHY 3.0 Transmit Data -	—	O	B6	
180	—	—	—	—	—	—	
181	USB2_TX_P	USB2	USB PHY 3.0 Transmit Data +	—	O	A5	
182	—	—	—	—	—	—	
183	GND	GND	Power,Signal GND	0V	IO	—	
184	—	—	—	—	—	—	
185	—	—	—	—	—	—	
186	—	—	—	—	—	—	
187	USB2_DP	USB2	USB PHY Data Plus	—	IO	A7	
188	—	—	—	—	—	—	
189	USB2_DM	USB2	USB PHY Data -	—	IO	B8	
190	USB1_ID	USB1	USB PHY ID Detect	—	I	D4	
191	GND	GND	Power,Signal GND	0V	IO	—	
192	USB1_VBUS	USB1	USB PHY VBUS	5V	I	H4	
193	DP_LANE0_P	Display	Data lane (positive)	—	IO	B10	
194	SPI3_SOUT	SPI3	Serial Data Output	1.8V	O	J5	
195	DP_LANE0_N	Display	Data lane (negative)	—	IO	A11	
196	SPI3_PCS	SPI3	SPI Chip Select	1.8V	O	H6	
197	GND	GND	Power,Signal GND	0V	IO	—	
198	SPI3_SCK	SPI3	Serial Clock	1.8V	O	K6	
199	DP_LANE1_P	Display	Data lane (positive)	—	IO	B12	
200	SPI3_SIN	SPI3	Serial Data Input	1.8V	I	K4	
201	DP_LANE1_N	Display	Data lane (negative)	—	IO	A13	
202	—	—	—	—	—	—	
203	—	—	—	—	—	—	
204	—	—	—	—	—	—	
205	DP_LANE2_P	Display	Data lane (positive)	—	IO	B14	
206	—	—	—	—	—	—	

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
207	DP_LANE2_N	Display	Data lane (negative)	—	IO	A15	
208	—	—	—	—	—	—	
209	GND	GND	Power,Signal GND	0V	IO	—	
210	—	—	—	—	—	—	
211	DP_LANE3_P	Display	Data lane (positive)	—	IO	B16	
212	—	—	—	—	—	—	
213	DP_LANE3_N	Display	Data lane (negative)	—	IO	A17	
214	—	—	—	—	—	—	
215	GND	GND	Power,Signal GND	0V	IO	—	
216	GND	GND	Power,Signal GND	0V	IO	—	
217	DP_AUX_P	Display	Auxillary port (negative)	—	IO	B18	
218	PEXM2_2_REFCLK_P	PCIE	Clock (positive)	—	O	—	由时钟芯片提供
219	DP_AUX_N	Display	Auxillary port (negative)	—	IO	A19	
220	PEXM2_2_REFCLK_N	PCIE	Clock (negative)	—	O	—	由时钟芯片提供
221	GND	GND	Power,Signal GND	0V	IO	—	
222	GND	GND	Power,Signal GND	0V	IO	—	
223	—	—	—	—	—	—	
224	—	—	—	—	—	—	
225	—	—	—	—	—	—	
226	—	—	—	—	—	—	
227	USB2_ID	USB2	USB PHY ID Detect	0V or Floating	I	E5	
228	GND	GND	Power,Signal GND	0V	IO	—	
229	USB2_VBUS	USB2	USB PHY VBUS	5V	I	D6	
230	PEXM2_1_REFCLK_P	Clock	Reference Clock (positive)	—	O	—	
231	GND	GND	Power,Signal GND	0V	IO	—	
232	PEXM2_1_REFCLK_N	Clock	Reference Clock(negative)	—	O	—	

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
233	—	—	—	—	—	—	
234	GND	GND	Power,Signal GND	0V	IO	—	
235	—	—	—	—	—	—	
236	—	—	—	—	—	—	
237	—	—	—	—	—	—	
238	125M_LVDS_REFCLK_P	Clock	125M LVDS Clock (positive)	—	O	—	
239	PROG_MTR	—	Internal Use Only	—	I	J13	
240	125M_LVDS_REFCLK_N	Clock	125M LVDS Clock (negative)	—	O	—	
241	—	—	—	—	—	—	
242	—	—	—	—	—	—	
243	—	—	—	—	—	—	
244	—	—	—	—	—	—	
245	—	—	—	—	—	—	
246	—	—	—	—	—	—	
247	—	—	—	—	—	—	
248	—	—	—	—	—	—	
249	—	—	—	—	—	—	
250	—	—	—	—	—	—	
251	GPIO3_18	GPIO	SIM Card Detect	1.8V	IO	G7	
252	—	—	—	—	—	—	
253	GND	GND	Power,Signal GND	0V	IO	—	
254	—	—	—	—	—	—	
255	XSPI_DATA0	XSPI1	Data	1.8V	IO	G11	
256	—	—	—	—	—	—	
257	XSPI_DAT1	XSPI1	Data	1.8V	IO	F12	
258	TA_TMP_DETECT_B	Trust	Tamper Detect	—	I	AA7	
259	XSPI_DAT2	XSPI1	Data	1.8V	IO	H14	

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
260	GPIO3_17	GPIO	GPIO3_17	1.8V	IO	H8	
261	XSPI_DAT3	XSPI1	Data	1.8V	IO	E13	
262	—	—	—	—	—	—	
263	XSPI_DAT4	XSPI1	Data	1.8V	IO	F14	
264	TA_BB_TMP_DETECT_B	Trust	Battery Backed Tamper Detect	1.0V	I	AC7	
265	XSPI_DAT5	XSPI1	Data	1.8V	IO	D14	
266	I2C6_SCL	I2C6	Clock	1.8V	O	F16	
267	XSPI_DAT6	XSPI1	Data	1.8V	IO	D16	
268	I2C6_SDA	I2C6	Data	1.8V	IO	H16	
269	XSPI_DAT7	XSPI1	Data	1.8V	IO	G15	
270	PROG_SFP	—	SFP Fuse Programming	—	I	J15	
271	GND	GND	Power,Signal GND	0V	IO	—	
272	GND	GND	Power,Signal GND	0V	IO	—	
273	XSPI_CS0_B	XSPI1	Chip Select	1.8V	O	H12	
274	—	—	—	—	—	—	
275	XSPI_CS1_B	XSPI1	Chip Select	1.8V	O	D12	
276	—	—	—	—	—	—	
277	GND	GND	Power,Signal GND	0V	IO	—	
278	I2C1_SDA	I2C1	Data	1.8V	IO	T4	
279	XSPI_SCK	XSPI1	Clock	1.8V	O	H10	
280	I2C1_SCL	I2C1	Clock	1.8V	O	R5	
281	XSPI_DQS	XSPI1	Data Strobe	1.8V	O	F10	

表 3-1 MYC-J1028X 核心板 PIN LIST

4. 电气特性

4.1. 主要电源 (VDD_5V)

MYC-J1028X 核心板的主要供电电源是 VDD_5V，推荐电压值为 4.5V~5.5V。为了保证核心板正常工作，至少需要提供 5V@2A 的功率。

4.2. USB VBUS 电源供电

MYC-J1028X 核心板支持两路 USB 3.0，可以配置为 Host 或 Device 模式。当需要使用 USB 功能时，需要对 USB1_VBUS，USB2_VBUS 供电，其对应核心板管脚 Pin192,Pin229。供电范围为 4.75V~5.25V。如不使用 USB 功能，可以对这两个管脚悬空。

4.3. 电源域

核心板使用 5V 供电，由分立电源芯片产生多个不同电压以满足 MPU,DDR4,Flash 等等模块的供电。

名称	描述	推荐电压值
VDD_5V	输入，主要供电电压	4.5V~5.5V
USB1_VBUS, USB2_VBUS	输入，给 USB 供电	4.75V~5.25V

表 4-1 外部供电电压

名称	描述	电压值 (单位 V)
1V35	给 MPU XVDD 供电	1.350
1V8	给 IO 电源域供电,	1.80
3.3	给 EEPROM,eMMC Flash,CAT823 电源供电	3.30V
VDD	给 MPU 核供电	1.00V
1V2	给 DDR4 供电	1.20V

表 4-2 内部产生电压

4.4. 电源功耗

工作条件	电源电压(V)	平均电流(mA)	峰值电流(mA)	总功耗 (W)
During boot	5	1300	1600	6.5
Full-load 阶段	5	1500	1600	7.5
低功耗 (mem State)	5	800	-	4

表 4-3 电源功耗参数

4.5. GPIO 直流特性

MYC-J1028X 核心板 IO 电源域 $OV_{DD} = 1.8V$ 。

参数	标号	最小值	最大值	单位	说明
高电平输入电压	VIH	1.26	1.98	V	—
低电平输入电压	VIL	-0.3	0.54	V	—
高电平输出电压	VOH	1.35	—	V	—
低电平输出电压	VOL	—	0.4	V	—

表 4-4 GPIO 直流特性

5. 系统配置和启动

5.1. BOOT 模式设置

LS1028A 系列处理器上电复位会首先启动内部 ROM，通过读取 RCW 管脚配置选择启动设备。有 4 个 RCW 管脚 CFG_RCW_SRC[3:0]对应如下启动设备。

CFG_RCW_SRC (3:2:1:0)	Initial Boot Source	说明
1000	Micro SD	核心板支持该启动方式
1001	eMMC	核心板支持该启动方式
1100	XSPI Nand Flash	Nand 4KB Pages (核心板空贴)
1101	XSPI Nand Flash	Nand 2KB pages (核心板空贴)
1111	XSPI Nor Flash	(核心板空贴)

表 5-1 处理器启动模式配置

CFG_RCW_SRC[3:0]管脚在 CPU 内部默认有 20K 弱上拉，其中核心板对 CFG_RCW_SRC3 增加了外部 4.7K 上拉，其他管脚没有增加上拉或者上拉。

5.2. 复位和开关

MYC-J1028X 核心板引出了 3 个与复位相关的引脚,分别是 PORESET_B,RST_KEY, HRESET_B。这三个信号描述如表 5-2。

管脚功能	说明
PORESET_B	CPU 上电复位管脚。
RST_KEY	复位输入管脚。此管脚低电平复位有效。
HRESET_B	LS1028A 热复位管脚，用于判断 LS1028A 上电后是否能正确读取 RCW

表 5-2 复位信号引脚

6. 接口说明

MYC-J1028X 核心板设计了最小系统并将 CPU 其余功能 IO 全部引出到金手指，以便设计底板时能充分的评估 LS1028A 芯片的资源、功能。

6.1. SDHC 接口

MYC-J1028X 核心板搭载了引出了一路 SDHC 接口。通常用于设计 Micro SD 卡信号或用于设计具有 SDIO 接口的模块之间的通信接口。

6.1.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
143	SD_CD_B	GPIO	Micro SD Detect	1.8V	I	U1	
156	SD_DAT0	SDHC1	Data	1.8V	IO	N3	
158	SD_DAT3	SDHC1	Data	1.8V	IO	L5	
160	SD_CMD	SDHC1	Command / Response	1.8V	IO	N7	
162	SD_DAT2	SDHC1	Data 2	1.8V	IO	N1	
164	SD_DAT1	SDHC1	Data 0	1.8V	IO	P4	
168	SD_CLK	SDHC1	Clock	1.8V	O	M6	

表 6-1 SDHC 接口 PIN 定义

6.2. UART 接口

MYC-J1028X 核心板拥有 1 路 DUART 及 6 路 LPUART 路的异步串口。由于芯片的管脚复用关系，核心板默认配置了 2 路串口功能。

6.2.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
19	UART1_RXD	UART1	Receive Data	1.8V	I	AE7	
23	UART2_RXD	UART2	Receive Data	1.8V	I	AD6	
66	CFG_RCW_SRC0	RCW / UART2	Reset Configuration Word	1.8V	I	AC5	上电时刻用于 RCW 功能，启动之后用于串口发送
68	CFG_RCW_SRC1	RCW / UART1	Reset Configuration Word	1.8V	I	AB6	上电时刻用于 RCW 功能，启动之后用于串口发送

表 6-2 UART 接口 PIN 定义

6.3. USB 接口

MYC-J1028X 核心板集成 PHY 的两个通用串行总线(USB) 3.0 控制器提供点对点连接，符合 USB 3.0 规范。每个集成 PHY 的 USB 控制器都可以配置为 HOST，Device 或 HOST 和 Device 功能同时运行。

6.3.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
153	USB1_RX_N	USB1	USB PHY 3.0 Receive Data -	—	I	K2	
155	USB1_RX_P	USB1	USB PHY 3.0 Receive Data +	—	I	L1	
159	USB1_TX_N	USB1	USB PHY 3.0 Transmit Data -	—	O	G1	
161	USB1_TX_P	USB1	USB PHY 3.0 Transmit Data +	—	O	H2	
167	USB1_DP	USB	USB PHY Data +	—	IO	E1	
169	USB1_DN	USB1	USB PHY Data -	—	IO	D2	
173	USB2_RX_N	USB2	USB PHY 3.0 Receive Data -	—	I	A3	
175	USB2_RX_P	USB2	USB PHY 3.0 Receive Data +	—	I	B2	
179	USB2_TX_N	USB2	USB PHY 3.0 Transmit Data -	—	O	B6	

181	USB2_TX_P	USB2	USB PHY 3.0 Transmit Data +	—	O	A5	
187	USB2_DP	USB2	USB PHY Data +	—	IO	A7	
189	USB2_DM	USB2	USB PHY Data -	—	IO	B8	
190	USB1_ID	USB1	USB PHY ID Detect	—	I	D4	

表 6-3 USB 接口 PIN 定义

6.4. Ethernet 接口

以太网 MAC 接口形式有多种，比较常见的有 MII/RMII/GMII/RGMII/SGMII。MYC-J1028X 核心板提供一路 RGMII 接口，一路 SGMII，一路 QSGMII 接口。RGMII 对应的信号与音频 I2S 存在复用。米尔默认使用 SGMII 和 QSGMII 接口设计实现以太网功能。

6.4.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
63	EMI1_MDC	MDIO	Clock	1.8V	O	AK6	
65	EMI1_MDIO	MDIO	Data	1.8V	IO	AK4	
84	QSGMII_RX_N	QSGMII	Receive Data (negative)	—	I	AJ13	SerDes RX Lane1
86	QSGMII_RX_P	QSGMII	Receive Data (positive)	—	I	AK12	SerDes RX Lane1
87	QSGMII_TX_P	QSGMII	Transmit Data (positive)	—	O	AF14	SerDes TX Lane1
89	QSGMII_TX_N	QSGMII	Transmit Data (negative)	—	O	AG15	SerDes TX Lane1
90	SGMII_RX_N	SGMII	Receive Data (negative)	—	I	AJ11	SerDes RX Lane0
92	SGMII_RX_P	SGMII	Receive Data (positive)	—	I	AK10	SerDes RX Lane0
93	SGMII_TX_P	SGMII	Transmit Data (positive)	—	O	AF12	SerDes TX Lane0
95	SGMII_TX_N	SGMII	Transmit Data (negative)	—	O	AG13	SerDes TX Lane0
40	EC1_GTX_CLK	SAI4	SAI4_TX_SYNC	1.8V	O	AH4	设计 RGMII 千兆以太网需要用到的信号
44	EC1_TXD3	SAI4	Unused	1.8V	—	AG5	
46	EC1_TXD1	GPIO	GPIO3_10	1.8V	IO	AF4	
48	EC1_TXD0	GPIO	GPIO3_9	1.8V	IO	AF6	
50	EC1_TXD2	SAI4	SAI4_TX_DATA	1.8V	O	AD4	
48	EC1_TXD0	GPIO	GPIO3_9	1.8V	IO	AF6	
52	EC1_TX_EN	GPIO	GPIO3_8	1.8V	IO	AJ3	
96	EC1_RXD1	GPIO	GPIO3_3	1.8V	IO	AF2	
98	EC1_RX_DV	GPIO	GPIO3_0	1.8V	IO	AH2	
100	EC1_RXD2	SAI4	SAI4_TX_BCLK	1.8V	O	AE3	
102	EC1_RXD0	GPIO	GPIO3_2	1.8V	IO	AG1	

104	EC1_RX_CLK	—	GPIO3_1	1.8V	IO	AD2
106	EC1_RXD3	SAI4	Unused	1.8V	—	AE1

表 6-4 Ethernet 接口 PIN 定义

6.5. CAN 接口

LS1028A 系列处理器中支持 CAN 接口，通过在 CAN 接口上添加 CAN 收发器即可以进行 CAN 通讯。

6.5.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
146	CAN1_TX	CAN1	Transmit Data	1.8V	O	V2	
148	CAN1_RX	CAN1	Receive Data	1.8V	I	U3	
150	CAN2_TX	CAN2	Transmit Data	1.8V	I	U7	
152	CAN2_RX	CAN2	Receive Data	1.8V	I	T6	

表 6-5 CAN 接口 PIN 定义

6.6. I2C 接口

LS1028A 最大支持 6 路 I2C，由于管脚复用关系。MYC-J1028X 核心板接口默认配置 2 路 I2C 总线：I2C1 和 I2C6。

6.6.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
266	I2C6_SCL	I2C6	Clock	1.8V	O	F16	
268	I2C6_SDA	I2C6	Data	1.8V	IO	H16	
278	I2C1_SDA	I2C1	Data	1.8V	IO	T4	
280	I2C1_SCL	I2C1	Clock	1.8V	O	R5	

表 6-6 I2C 接口 PIN 定义

6.7. SPI 接口

LS1028A 最大支持 3 路通用 SPI。由于管脚复用关系，MYC-J1028X 核心板接口默认配置 1 路 SPI 总线 SPI3。

6.7.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
194	SPI3_SOUT	SPI3	Serial Data Output	1.8V	O	J5	
196	SPI3_PCS	SPI3	SPI Chip Select	1.8V	O	H6	
198	SPI3_SCK	SPI3	Serial Clock	1.8V	O	K6	
200	SPI3_SIN	SPI3	Serial Data Input	1.8V	I	K4	

表 6-7 SPI 接口 PIN 定义

6.8. SerDes 接口

LS1028A 提供 4 SerDes lanes 用于高速外设接口的通信。SerDes 接口可以被配置为 PCIE 3.0、SATA3.0、1Gb 或 2.5Gb SGMII、QSGMII、10Gb-SXGMII、10Gb-QXGMII。MYC-J1028X 核心板默认配置了一路 SGMII,一路 PCIE 3.0,一路 SATA3.0,一路 QSGMII 接口。

6.8.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
72	PEXM2_2_PER_N	SATA	Receive Data (negative)	—	I	AJ17	SerDes RX Lane3
74	PEXM2_2_PER_P	SATA	Receive Data (positive)	—	I	AK16	SerDes RX Lane3
75	PEXM2_2_PET_P	SATA	Transmit Data (positive)	—	O	AF18	SerDes TX Lane3
77	PEXM2_2_PET_N	SATA	Transmit Data (negative)	—	O	AG19	SerDes TX Lane3
78	PEXM2_1_PER_N	PCIE	Receive Data (negative)	—	I	AJ15	SerDes RX Lane2
80	PEXM2_1_PER_P	PCIE	Receive Data (positive)	—	I	AK16	SerDes RX Lane2
81	PEXM2_1_PET_P	PCIE	Transmit Data (positive)	—	O	AF16	SerDes TX Lane2
83	PEXM2_1_PET_N	PCIE	Transmit Data (negative)	—	O	AG17	SerDes TX Lane2
84	QSGMII_RX_N	QSGMII	Receive Data (negative)	—	I	AJ13	SerDes RX Lane1
86	QSGMII_RX_P	QSGMII	Receive Data (positive)	—	I	AK12	SerDes RX Lane1
87	QSGMII_TX_P	QSGMII	Transmit Data (positive)	—	O	AF14	SerDes TX Lane1
89	QSGMII_TX_N	QSGMII	Transmit Data (negative)	—	O	AG15	SerDes TX Lane1
90	SGMII_RX_N	SGMII	Receive Data (negative)	—	I	AJ11	SerDes RX Lane0

92	SGMII_RX_P	SGMII	Receive Data (positive)	—	I	AK10	SerDes RX Lane0
93	SGMII_TX_P	SGMII	Transmit Data (positive)	—	O	AF12	SerDes TX Lane0
95	SGMII_TX_N	SGMII	Transmit Data (negative)	—	O	AG13	SerDes TX Lane0

表 6-8 SerDes 接口 PIN 定义

6.9. Display Port 接口

LS1028A 内置 1 路 LCD 显示控制器提供 Display Port 显示接口。支持 DP1.3 和 eDP1.4 协议，显示最高分辨率可达 4K@60fps。

6.9.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
193	DP_LANE0_P	Display	Data lane (positive)	—	IO	B10	
195	DP_LANE0_N	Display	Data lane (negative)	—	IO	A11	
199	DP_LANE1_P	Display	Data lane (positive)	—	IO	B12	
201	DP_LANE1_N	Display	Data lane (negative)	—	IO	A13	
205	DP_LANE2_P	Display	Data lane (positive)	—	IO	B14	
207	DP_LANE2_N	Display	Data lane (negative)	—	IO	A15	
211	DP_LANE3_P	Display	Data lane (positive)	—	IO	B16	
213	DP_LANE3_N	Display	Data lane (negative)	—	IO	A17	
217	DP_AUX_P	Display	Auxillary port (negative)	—	IO	B18	

表 6-9 LCD 接口 PIN 定义

6.10. AUDIO 接口

LS1028A 支持最高 6 路 SAI 接口。SAI 可支持各类带帧同步功能的全双工、串行通讯音频接口，比如 I2S,AC97,TDM,CODEC 等常用音频接口。

MYC-J1028X 默认提供一路 SAI 接口。由于管脚复用，MYC-J1028X SAI 只使用了音频输出功能。

6.10.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
40	EC1_GTX_CLK	SAI4	SAI4_TX_SYNC	1.8V	O	AH4	40
50	EC1_TXD2	SAI4	SAI4_TX_DATA	1.8V	O	AD4	50
100	EC1_RXD2	SAI4	SAI4_TX_BCLK	1.8V	O	AE3	100

表 6-10 AUDIO 接口 PIN 定义

6.11. JTAG 接口

MYC-J1028X 核心板引出了 JTAG 接口。定义如下。

6.11.1. 引脚定义

Pin	网络名	功能	功能描述	电平	In / Out	BGA Pin	备注
134	TDO	JTAG	Test Data Out	1.8V	O	W1	
136	TMS	JTAG	Test Mode Select	1.8V	I	V6	
137	TDI	JTAG	Test Data In	1.8V	I	V4	
138	TCK	JTAG	Test Clock	1.8V	I	W7	
139	TBSCAN_B	JTAG	JTAG Compliance Enable Pin	1.8V	I	W5	

表 6-11 GPIO 接口 PIN 定义

7. 封装信息

7.1. 机械尺寸

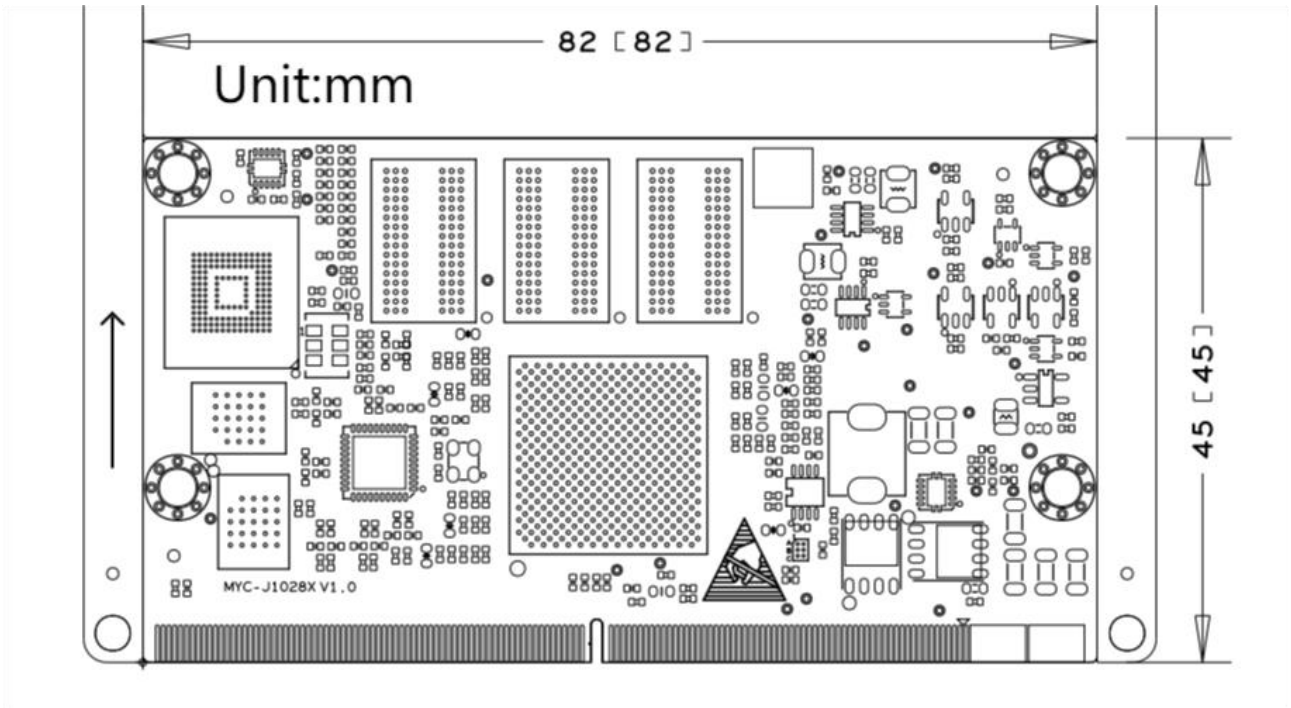


图 7-1 MYC-J1028X 核心板尺寸图

7.2. 底板 PCB 封装

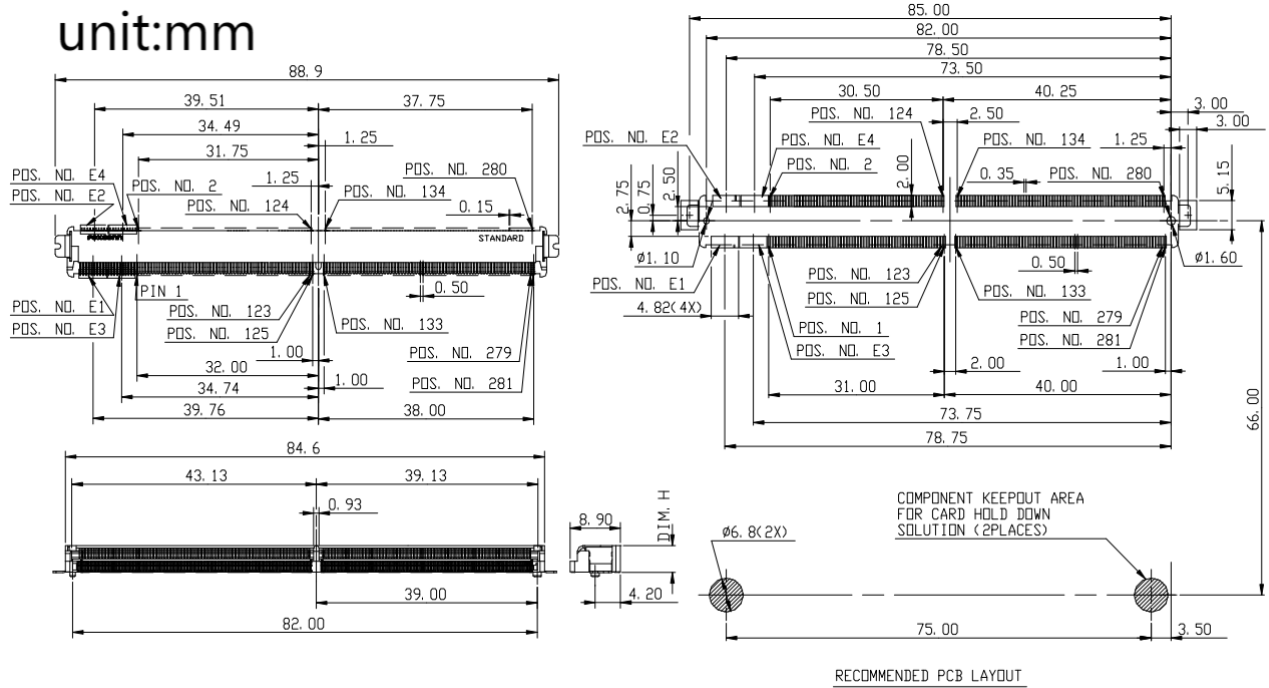


图 7-2 MYC-J1028X 核心板插座 PCB 封装

米尔电子提供设计好的 PCB 封装，请访问 <http://down.myir-tech.com/MYD-J1028X/>以获取该封装文件。

附录一 联系我们

深圳总部

地址：深圳市龙岗区坂田街道发达路云里智能园 2 栋 6 楼 04 室

负责区域：广东 / 四川 / 重庆 / 湖南 / 广西 / 云南 / 贵州 / 海南 / 香港澳门

传真：0755-25532724 电话：0755-25622735

华东地区

地址：上海市浦东新区金吉路 778 号浦发江程广场 1 号楼 805 室

负责区域：上海 / 湖北 / 江苏 / 浙江 / 安徽 / 福建 / 江西

传真：021-62087085 电话：021-62087019 北京办事处

负责区域：北京/天津/陕西/辽宁/山东/河南/河北/黑龙江/吉林/山西/甘肃/内蒙古/宁夏

华北地区

地址：北京市大兴区荣华中路 8 号院力宝广场 10 号楼 901 室

负责区域：北京 / 天津 / 陕西 / 辽宁 / 山东 / 河南 / 河北 / 黑龙江 / 吉林 / 山西 / 甘肃 / 内蒙古 / 宁夏

传真：010-64125474 电话：010-84675491

销售联系方式

网址：www.myir-tech.com

邮箱：sales.cn@myirtech.com

技术支持联系方式

电话：027-59621648

邮箱：support.cn@myirtech.com

如果您通过邮件获取帮助时，请使用以下格式书写邮件标题：

[公司名称/个人--开发板型号] 问题概述

这样可以使我们更快速跟进您的问题，以便相应开发组可以处理您的问题。

附录二 售后服务与技术支持

凡是通过米尔科技直接购买或经米尔科技授权的正规代理商处购买的米尔科技全系列产品，均可享受以下权益：

- 1、6个月免费保修服务周期
- 2、终身免费技术支持服务
- 3、终身维修服务
- 4、免费享有所购买产品配套的软件升级服务
- 5、免费享有所购买产品配套的软件源代码，以及米尔科技开发的部分软件源代码
- 6、可直接从米尔科技购买主要芯片样品，简单、方便、快速；免去从代理商处购买时，漫长的等待周期
- 7、自购买之日起，即成为米尔科技永久客户，享有再次购买米尔科技任何一款软硬件产品的优惠政策
- 8、OEM/ODM 服务

如有以下情况之一，则不享有免费保修服务：

- 1、超过免费保修服务周期
- 2、无产品序列号或无产品有效购买单据
- 3、进液、受潮、发霉或腐蚀
- 4、受撞击、挤压、摔落、刮伤等非产品本身质量问题引起的故障和损坏
- 5、擅自改造硬件、错误上电、错误操作造成的故障和损坏
- 6、由不可抗拒自然因素引起的故障和损坏

产品返修

用户在使用过程中由于产品故障、损坏或其他异常现象，在寄回维修之前，请先致电米尔科技客服部，与工程师进行沟通以确认问题，避免故障判断错误造成不必要的运费损失及周期的耽误。

维修周期

收到返修产品后，我们将即日安排工程师进行检测，我们将在最短的时间内维修或更换并寄回。一般的故障维修周期为3个工作日（自我司收到物品之日起，不计运输过程时间），由于特殊故障导致无法短期内维修的产品，我们会与用户另行沟通并确认维修周期。

维修费用

在免费保修期内的产品，由于产品质量问题引起的故障，不收任何维修费用；不属于免费保修范围内的故障或损坏，在检测确认问题后，我们将与客户沟通并确认维修费用，我们仅收取元器件材料费，不收取维修服务费；超过保修期限的产品，根据实际损坏的程度来确定收取的元器件材料费和维修服务费。

运输费用

产品正常保修时，用户寄回的运费由用户承担，维修后寄回给用户费用由我司承担。非正常保修产品来回运费均由用户承担。